نشریه علمی- پژوهشی مهندسی هوانوردی
سال بیست و دوم، شماره دوم، پاییز ۹۹

بهبود قابلیت اطمینان برد پردازشگر ماهواره های مکعبی با اصلاح ساختار حافظه

مژده مهدوی*[۱]، محمدامین امیری[۲]، حامد فربه[۳]
۱- گروه الکترونیک، واحد شهر قدس، دانشگاه آزاد اسلامی، تهران، ایران
۲- دانشگاه صنعتی مالک اشتر، مجتمع دانشگاهی برق و کامپیوتر
۳- گروه مهندسی کامپیوتر و فناوری اطلاعات، دانشگاه صنعتی امیرکبیر، تهران، ایران
(دریافت مقاله: ۱۴۰۰/۰۱/۱۲ تاریخ پذیرش: ۱۴۰۰/۰۴/۰۸)

چکیده
ماهواره‌های مکعبی، ماهواره‌هایی کم حجم و کم وزن هستند که در هر پرتاب موشک، تعداد زیادی از این ماهواره‌ها به فضا پرتاب می‌شود و همین ویژگی باعث شده که تعداد این ماهواره‌ها در مدار زمین با سرعت زیاد افزایش یابد. طی سالیان گذشته مراکز تحقیقاتی بسیاری برای بهبود حافظه مدار برد پردازشگر راهکارهایی را ارایه داده‌اند ولی تحقیقات صورت گرفته تاکنون بصورت جامع بر روی ماژول حافظه که در ضبط و ذخیره‌سازی داده‌های بارگذاری شده ماهواره برای انتقال به ایستگاه زمینی کاربرد دارد، متمرکز نشده است. باتوجه به هزینه ساخت بالای ماهواره، توجه ویژه به افزایش قابلیت اطمینان مدار حافظه در برابر تشعشعات فضایی و تحمل پذیری خطای این مدارها ضروری است. حافظه‌های مغناطیسی STT-MRAM که در این مقاله معرفی می‌شوند، امروزه به عنوان موفق‌ترین جایگزین برای حافظه‌ی دسترسی تصادفی ثابت، شناخته شده‌اند. در این مقاله به کمک افزونگی نرم‌افزاری به افزایش تحمل‌پذیری خطا در این نوع حافظه پرداخته و مدل خطا براساس مدل مارکوف و شبیه‌سازی مونت کارلو بدست آمده است. شبیه‌سازی‌ها با استفاده از نرم‌افزار شبیه‌ساز GEM5 انجام شده و نتایج شبیه‌سازی در حافظه بهینه، بیانگر افزایش تحمل‌پذیری آن در همه بنچمارک‌ها برمبنای تست استاندارد SPEC CPU 2006 می‌باشد.
واژه‌های کلیدی: *STT-MRAM ، مدل مارکوف، ماهواره مکعبی، تحمل پذیری خطا*

Improving Reliability of Processing Board of Cube Satellites by Modifying the Memory Structure

Mojdeh Mahdavi, Mohammad Amin Amiri and Hamed Farbeh

Abstract
Cube satellites are small and lightweight satellites a large number of which is launched by each rocket heading into the space and this has led to a rapid increase in the number of these satellites in the Earth orbit. Over the years, many research centers have come up with ways to improve the reliability of the OBC circuits, but so far, no research is entirely focused on the memory module used to record and store loaded satellite data for transmission to the earth station. Given the high cost of manufacturing a satellite, special attention should be paid to increase the reliability of the memory circuit against space radiation and the fault tolerance of these circuits. The STT-MRAM introduced in this paper is now recognized as the most successful alternative to the SRAM. Using software add-ons, the authors have increased the fault tolerance of this type of memory and obtained the fault model based on the Markov Model and the Monte Carlo simulation. The simulations were performed using GEM5 full-system simulator, and the results of the simulation in optimal memory indicate an increase in its fault tolerance in all benchmarks based on the SPEC CPU2006 test standard.
Key words: *STT-MRAM; Markov model; Cube satellites; Fault Tolerance.*

* نویسنده پاسخگو: مژده مهدوی، پست الکترونیک: mahdavi.qodsiau@gmail.com

مقدمه

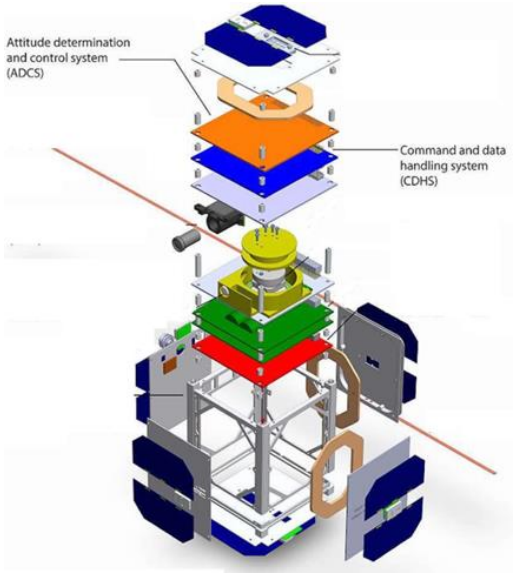
سیستم‌های ماهواره‌ای در سال‌های اخیر بطور گسترده و رو به افزایشی توسط بشر مورد استفاده قرار گرفته است اما رخداد خرابی می‌تواند در ارایه خدمات این سیستم‌ها اختلال ایجاد کرده و کارایی آنها را کاهش دهد. قابلیت اطمینان تا آن حد برای ماهواره اهمیت دارد که کوچکترین اشکال در بخش فنی آن باعث کنسل شدن ماموریت فضایی ماهواره می‌شود، بخصوص آنکه در بیشتر ماموریت‌های فضایی، مانند پیش‌بینی وضعیت آب و هوا، کاربردهای نظامی، مطالعات پدیده‌های طبیعی و جلوگیری از بروز بلایای طبیعی، عملکرد ماهواره باید بصورت زمان واقعی باشد [۱].

طی یک دهه گذشته، شاهد تکامل صنعت ماهواره بصورت نانو بوده‌ایم بصورتیکه امروزه ماهواره مکعبی[۱] یک مدل استاندارد نانوماهواره شده که نه تنها به عنوان یک وسیله پیشرفت فناوری، بلکه یکی از مدرن‌ترین و اقتصادی‌ترین ابزار برای پژوهش‌های علمی در فضا است. اولین نمونه ماهواره مکعبی در سال ۱۹۹۹ توسط دانشگاه پلی تکنیک کالیفرنیا و دانشگاه استنفورد برای نمایش توانمندی‌های آنان در طراحی و ساخت ماهواره‌های کوچک برای استقرار در مدار لئو معرفی شد [۲].

ماهواره مکعبی، نوعی ماهواره است که ظاهر و ساختاری متفاوت از ماهواره‌های معمولی دارد. این ماهواره کمتر از ۱/۳۳ کیلوگرم جرم دارد. کم بودن وزن و حجم این ماهواره سبب شده که بتوان با هر بار پرتاب موشک، تعداد قابل توجهی از این ماهواره را در مدار زمین قرار داد. چنانچه شرکت Planet در یک بازه ۳ساله، ۸۸ ماهواره مکعبی را برای کاربردهای سنجشی توسعه داده و به فضا پرتاب کرده است [۳].

ماهواره‌های مکعبی اکنون به رکنی مهم در برنامه‌های تجاری فضایی تبدیل شده‌اند. قسمت الکترونیکی و سازه آن معمولا از قطعات با نوع استاندارد تجاری، بجای استاندار فضایی ساخته می‌شود [۴]. نمونه‌ای از ماهواره مکعبی ESTcube در شکل ۱ ارائه شده است. بخش مهمی از ماهواره مربوط به مدیریت داده و فرمان است که به حافظه نیاز دارد [۵].

افزایش ظرفیت حافظه بر روی تراشه همچنان ادامه دارد و بیشتر سطح هر تراشه را حافظه تشکیل می‌دهد. سیستم حافظه بدلیل وجود تعداد زیادی عناصر با اندازه کوچک در آرایه سلولی، نسبت به سایر مدارهای دیجیتالی حساس‌تر است واحتمال وجود خرابی در این مدارها نسبت به مدارهای دیجیتال بیشتر است، بنابراین قابلیت اطمینان و عملکرد صحیح حافظه، نقش بسیار مهمی در قابلیت اطمینان و عملکرد صحیح کل سیستم دارد [۶].



شکل ۱ – نمونه ماهواره مکعبی [۵].

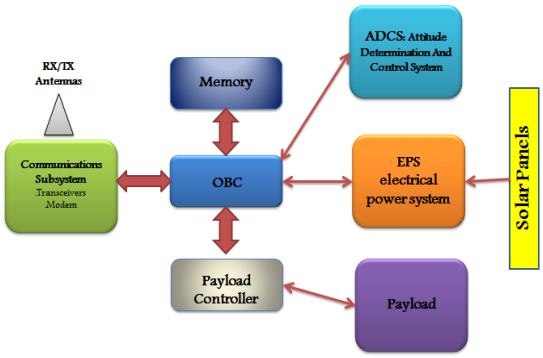
عملیات ماهواره‌ای کاملا اتوماتیک است و اساساً بر اساس تعامل سیستم‌های الکترونیکی با دستورات سیستم پردازش مرکزی[۲] صورت می‌گیرد که اجرای فرایندهای پردازشی را بعهده دارد. این سیستم رابط بین ایستگاه زمینی و فضایی است و دارای زیرسیستم حافظه برای نگهداری پارامترهای موردنیاز و مشخصات اندازه‌گیری شده، قبل از انتقال به سیستم زمینی است [۷]. در کاربردهای مختلف بخصوص کاربردهای فضایی که تجهیزات در معرض ذرات و پرتوهای کیهانی هستند، انرژی بالای این ذرات می‌تواند سلول‌های متعددی از حافظه را تحت تاثیر قرار دهد. این موضوع می‌تواند در مدارهای حافظه باعث تغییر وضعیت یک یا چند بیت اطلاعات حافظه شود [۸].

طراحی سخت‌افزار OBC برای کاربرد فضایی نیاز به ملاحظاتی دارد که در هنگام طراحی برای سایر کاربردها، اینچنین ملاحظاتی در نظر گرفته نمی‌شود. در ماهواره‌های متداول بدلیل آنکه محدودیت وزن و سایز وجود ندارد از سخت افزارهای قابل اطمینان و راه‌حل‌های قابل پیش بینی در مقابل تشعشعات می‌توان استفاده کرد. در واقع بدلیل آنکه

[۱] CubeSat

[۲] OBC – Onboard Computer

استراتژی‌های جلوگیری از خطا، در ماهواره های مکعبی، مرسوم نیست و این ماهواره ها طبیعتا از قطعات آماده تجاری[۳] استفاده می‌نمایند که برای فعالیت در محیط فضا طراحی نشده‌اند، ضرورت بکارگیری روش‌های تحمل پذیری خطا بیشتر اهمیت می‌یابد [۹]. در شکل ۲ بلوک دیاگرام معماری یک ماهواره مکعبی پایه نمایش داده شده است. پارامترهای پردازنده مانند دما و مصرف توان در بخش‌های مختلف ماهواره بطور مداوم در OBC اندازه‌گیری و در ماژول حافظه ذخیره می‌شود و داده‌های مربوط به تله‌متری که در طول گذر از ایستگاه زمینی بارگیری می‌شوند نیز در حافظه قرار دارند [۱۰].



شکل ۲ – ساختار ماهواره مکعبی [۱۰].

حافظه داخلی میکروکنترلرOBC بدو دسته قابل تقسیم است:

- حافظه flash که از نوع غیر فرار اســت و مزیت آن قابلیت تحمل بالا در برابر تشعشعات است.
- حافظه سریع و فرار حافظه‌ی دسترسی تصادفی ثابت SRAM حافظه داخلی میکروکنترلر است که در اکثر موارد معمولا کافی نیست و به حافظه خارجی نیاز دارد.
- حافظه نهان[۴] نیز چون سرعت بالایی دارد از نوع SRAM است که بدلیل پیچیدگی در دسته حافظه‌های گران قیمت قرار می‌گیرد.

تحقیقات صورت گرفته تاکنون بصورت جامع بر روی حافظه نهان ماهواره متمرکز نشده است که این مساله با متراکم‌تر شدن تراشه و و حساسیت تراشه به انرژی ذرات در فضا، بیشتر اهمیت پیدا می‌کند. هم اکنون حافظه مغناطیسی STT-MRAM به مرحله بلوغ رسیده و توسط شرکت‌های بزرگی مثل توشیبا و سامسونگ طراحی و به عنوان مدل نمونه، ساخته شده و اخیرا در طراحی‌ها و ساخت محصولات تجاری به کار برده می‌شود [۱۱،۱۲]. اما برای آنکه به طور انبوه تولید شده و به طور رسمی وارد چرخه‌ی تجارت شود، نیاز به بررسی و بهبود قابلیت اطمینان دارد. دسته‌بندی کاملی برای مرور روش‌های گذشته در جهت افزایش قابلیت اطمینان وجود دارد که دارای سطوحی در سطح مدار، در سطح معماری و در سطح نرم‌افزار و سیستم است. از جمله روش‌های کاربردی در هر یک از سطوح، استفاده از روش افزونگی است که در مقالات متعددی در این زمینه، به این روش اشاره شده است. این روش از رای گیری بین خروجی چند ماژول با تعداد فرد برای انتخاب جواب نهایی بهره می‌گیرد [۱۳،۱۴].

باتوجه به لزوم افزایش قابلیت اطمینان حافظه در برابر تشعشعات فضایی و همچنین نیاز به بهبود نوع حافظه برای افزایش قابلیت ذخیره‌سازی اطلاعات، در این مقاله نوع جدیدی از حافظه بنام حافظه‌های دسترسی تصادفی مغناطیسی گشتاور انتقال چرخشی[۵] معرفی می‌شود که پیش‌بینی می‌شود در سال‌های آتی جایگزین حافظه‌های بر تراشه امروزی شود. همچنین در این پژوهش به بررسی راهکار افزایش قابلیت اطمینان این نوع حافظه از طریق افزونگی نرم‌افزاری خواهیم پرداخت. قسمت‌های مختلف این مقاله بصورت زیر بیان می‌شود، ابتدا به معرفی حافظه STT-MRAM می‌پردازد. سپس روش افزونگی نرم‌افزاری در حافظه بیان می‌شود، پس از آن به کمک مدل مارکوف[۶] و شبیه‌سازی مونت کارلو[۷]، افزایش تحمل پذیری این نوع حافظه به کمک افزونگی بررسی شده، سپس نتایج شبیه‌سازی و نتیجه گیری بیان شده است.

حافظه با دســترســی تصادفی مغناطیسی انتقال گشتاور اسپین (STT-MRAM)

پیشرفت تکنولوژی در سال‌های اخیر حافظه‌ی دسترسی تصادفی ثابت و حافظه نهان وابسته به آن را، به چالش کشیده و دلیل آن می‌تواند عدم اطمینان، توان نشتی و چگالی کم در

[۳] COTS – Commercial-Off-The-Shelf
[۴] Cache Memory
[۵] STT-MRAM – Spin Transfer Torque Magnetic RAM
[۶] Markov Model
[۷] Monte Carlo Simulation

پردازنده‌ها باشد [۱۵]. بسیاری از فناوری‌های جدید در حوزه نانو جهت رفع این مشکل ارایه شده‌اند تا مقیاس پذیری تکنولوژی ادامه داشته باشد و تحقیقات صنعتی و آکادمیک گسترده بر روی حذف SRAMها و جایگذاری حافظه‌های غیرفرار، تمرکز کرده‌اند. براساس تحقیقات صنعتی و گزارشات مربوط به آن‌ها، STT-MRAM موفق‌ترین تکنولوژی است که می‌توان از آن، بجای SRAM در حافظه نهان سطح آخر پردازنده، استفاده کرد. مزایای حافظه‌های نهان مغناطیسی STT-MRAM، غیرفرار بودن و دوام بالاتر، ظرفیت بالای ذخیره‌سازی اطلاعات، توان مصرفی در حد صفر و ایمن بودن در برابر شار ذرات ناشی از تشعشعات، سرعت خواندن و نوشتن مناسب، سطح مصرفی کمتر نسبت به SRAM و ادغام آسان با تکنولوژی CMOS است.

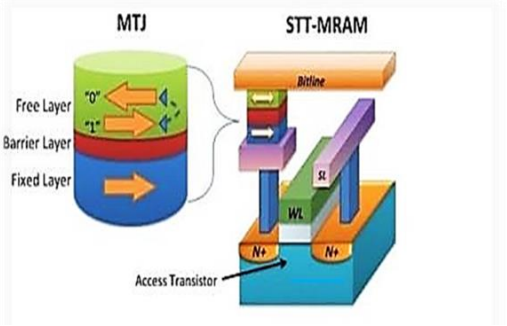
با این وجود، میزان مطمئن بودن STT-MRAM یک چالش و مانع بزرگ بر سر راه استفاده‌ی گسترده از آن‌ها در حافظه نهان می‌باشد. خطاهایی مثل اغتشاش در خواندن (جهش منطقی یک سلول به دلیل به کار بردن جریان خواندن در زمان دسترسی به خواندن) و خطای نوشتن (عدم موفقیت در عملیات نوشتن به خاطر ناتوانی یک سلول در روشن شدن)، منابع اصلی خطا در حافظه نهان STT-MRAM می‌باشد [۱۶].

حافظه‌هایی مانند حافظه با دسترسی تصادفی از فناوری بار الکتریکی برای ذخیره‌سازی اطلاعات استفاده می‌کنند اما حافظه STT-MRAM در طبقه حافظه‌های با دسترسی تصادفی مغناطیسی قرار دارد. یک سلول STT-MRAM شامل یک عنصر برای ذخیره سازی داده به نام MTJ[۸] و یک ترانزیستور دسترسی NMOS است. یک MTJ در STT-MRAM یک اتصال تونل مغناطیسی شامل سه لایه است که شامل دو لایه فرومغناطیس بنام‌های لایه مرجع و لایه آزاد است که با یک لایه اکسید نازک از جنس عایق Mgo، ازهم جدا شده‌اند. جهت میدان مغناطیسی لایه‌های فرومغناطیس MTJ، تعیین کننده‌ی محتوای سلول است [۱۶].

جهت مغناطیسی لایه مرجع ثابت است درحالیکه جهت مغناطیسی لایه آزاد می‌تواند با چرخش جریان قطبیده تغییر کند. اعمال کردن جریانی بزرگتر از جریان سوییچینگ بحرانی از لایه آزاد به لایه مرجع باعث تغییر جهت مغناطیسی لایه آزاد شده بطوریکه جهت مغناطیسی لایه آزاد می‌تواند در جهت یا خلاف جهت لایه مرجع قرار گیرد. زمانیکه جهت مغناطیسی دو لایه فرو مغناطیس موازی یا ناموازی هستند اتصال تونل مغناطیس بترتیب یک مقاومت کوچک یا بزرگ ایجاد می‌کند که بترتیب منطق ۰ و ۱ را برای سلول نشان می‌دهد [۱۷]. شکل ۳ طراحی رایج سلول یک سطحی این حافظه است.

شکل ۴ در توصیف نوشتن و خواندن از این حافظه به کمک ترانزیستور دسترسی، مشخص شده است [۱۹].

نوشتن در سلول: با اعمال ولتاژ مثبت از خط بیت[۹] به خط منبع[۱۰] جریانی در سلول برقرار می‌گردد که جهت‌گیری مغناطیسی دو لایه را به حالت موازی تبدیل می‌کند و بدین ترتیب "۰" درون سلول نوشته می‌شود. برعکس با اعمال ولتاژ منفی از خط بیت به خط منبع جریانی در سلول برقرار می‌گردد که جهت‌گیری مغناطیسی دو لایه را تبدیل به حالت غیرموازی می‌کند و "۱" درون سلول نوشته می‌شود. علاوه بر این، برای سوئیچینگ صحیح MTJ لازم است که جریان‌های نوشتاری برای هر دو جهت، بالاتر از یک مقدار آستانه باشد [۲۰].



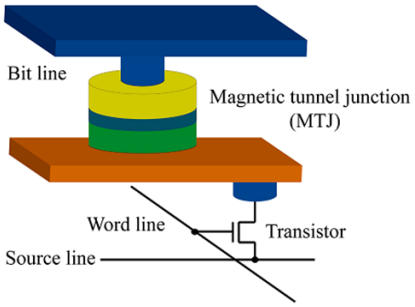
شکل ۳ – ساختار تک سلولی STT-MRAM [۱۸].

خواندن از سلول: با اعمال ولتاژ مثبت از خط بیت به خط منبع جریانی در سلول برقرار می‌گردد، برای خواندن مقدار ذخیره شده در یک سلول، اول خط کلمه[۱۱] طوری تنظیم شده که ترانزیستور دسترسی را روشن کند [۲۱و۲۲].

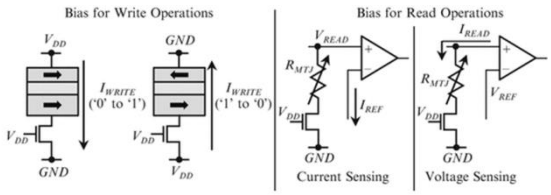
شکل ۵ بیانگر نحوه نوشتن در این حافظه و نحوه خواندن از این حافظه را نشان می‌دهد. تکنیک‌های بسیاری در تحقیقات انجام شده در این مورد برای غلبه بر هر منبع خطا در سلول حافظه‌های STT-MRAM ارائه شده است. در مرجع [۲۳] چهار مگابایت حافظه SRAM و STT-MRAM از نظر مساحت، تاخیر خواندن و نوشتن و توان نشتی باهم مقایسه

[۸] Magnetic Tunnel Junction
[۹] BL – Bit Line
[۱۰] SL – Source Line
[۱۱] WL- Word Line

شـده اند. مساحت و توان نشتی حافظه STT-MRAM نسبت به SRAM کمتر اســت اما بدلیل فرایند نوشــتن و خواندن دو مرحله‌ای، تاخیر نوشتن و خواندن SRAM کمتر است.



شکل ۴ – ساختار تک سلولی با ترانزیستور دسترسی [۱۹].



شکل ۵ – خواندن و نوشتن در سلول STT-MRAM

بدلیل اینکه حافظه STT-MRAM از ترانزیستور تشکیل شده است بنابراین تابش ذرات پرانرژی می‌تواند با نرخ خطای کاهش یافته ای این حافظه را تحت تاثیر قرار دهد. تغییرات در سایز ترانزیستورهای دسترسی، مقاومت و هندسه اتصال تونل مغناطیسی و نیز نوسانات تصادفی حرارت که همه اینها با مقیاس پذیری نیز تشدید می‌شوند، منجر به وقوع خطاهای خواندن و نوشتن در این حافظه می‌شود [۲۴]. به منظور رفع و یا جلوگیری از بروز این خطاها، راه حل‌هایی مطرح شده است.

در [۲۵] جهت افزایش قابلیت اطمینان حافظه STT-MRAM از تنظیم پارامترهای مدار و کد تشخیص و تصحیح خطا استفاده شده است. در این روش منابع خطا بصورت دقیق تجزیه و تحلیل شده و یک مدل دقیق برای خطا مطرح شده است. بصورتیکه می‌توان خطاها را با تنظیم طول و عرض ترانزیستور دسترسی، تنظیم عرض پالس نوشتن و افزایش ولتاژ کاهش داد. جهت افزایش قابلیت اطمینان مدار از یک کد تشخیص و تصحیح خطا نیز استفاده شده است.

نوسانات حرارتی یکی دیگر از منابع خطا هستند. در مرجع [۲۶] با طراحی سلول STT-MRAM با پایداری حرارتی بالا، قابلیت اطمینان در سطح بلوک تخمین زده شده است.

در [۲۷] روشی جهت کاهش تاخیر در حافظه مغناطیسی STT-MRAM معرفی شده است. در این روش، خطا قبل از رسیدن به مناطق بحرانی تشخیص داده می‌شود. بنابراین خطا در اطلاعات منتشر نمی‌شود و کاهش قابل توجهی در تاخیر خواندن بوجود می‌آید. هنگامیکه یک خطا در مدار کدگشا شناسایی می‌شود تمام محاسبات براساس احتمال‌های اشتباه برگشت داده می‌شوند و محاسبات با استفاده از داده‌های اصلاح شده تکرار می‌شود. در پژوهش‌های گذشته با استفاده از شناسایی منبع خطا و تنظیم پارامترهای مدار و کدگذاری رایج سعی شده است تا قابلیت اطمینان سلول حافظه مغناطیسی STT-MRAM افزایش یابد. این روش‌ها عمدتا براین مبنا هستند که ابتدا سلول حافظه توسط پارامترهای سلول، تقویت شده و سپس با اعمال یک کد، قابلیت اطمینان افزایش می یابد. البته افزایش سایز ترانزیستورها و یا دامنه جریان، خود باعث افزایش توان مصرفی و مساحت سلول می‌شود [۲۸].

افزایش جریان و پهنای پالس نوشتن، کاهش فاکتور پایداری حرارتی، خواندن و تغییر داده‌ها بعد از هر نوشتن (تغییر نوشتن- خواندن) و به کار بردن کدهای خطا- تصحیح[۱۲] تکنیک-هایی هستند که امکان غلبه بر خطای نوشتن را به ما می‌دهند. کاهش جریان و پهنای پالس خواندن، افزایش فاکتور پایداری حرارتی، بازنویسی بعد از هر خواندن از تکنیک‌های کاربردی برای غلبه بر اغتشاش در خواندن هستند [۲۹و۳۰].

با توجه به مزایای حافظه STT-MRAM، این حافظه جهت انبوه‌سازی، قابل توجه مراکز صنعتی و دانشگاهی قرار گرفته است اما قبل از انبوه‌سازی باید چالش‌های این حافظه بررسی شود که یکی از مهمترین چالش‌ها قابلیت اطمینان آن است. در این مقاله یک چارچوب سطح سیستم برای افزایش میزان اطمینان در حافظه‌های نهان STT-MRAM ارائه می‌دهیم که قابلیت افزایش اطمینان در حافظه‌ها را به نحو چشمگیری بالا می‌برد.

[۱۲] ECC – Error Correction Code

مدلسازی روش پیشنهادی در افزایش تحمل‌پذیری خطا

چالش‌های قابلیت اطمینان در حافظه‌های مغناطیسی STT-MRAM، به دو دسته چالش‌های خواندن و نوشتن دسته‌بندی می‌گردد. براساس این دو مشکل می‌توان رویکرد افزایش تحمل‌پذیری خطا را ارائه نمود.

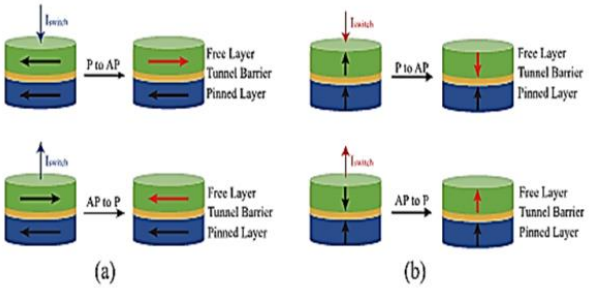
اغتشاش خواندن:

مسیر عملیات خواندن و نوشتن در یک سلول مغناطیسی STT-MRAM مشابه است. در زمان خواندن اطلاعات، جریان خوانده شده دامنه کمی دارد، در مقابل، جریان نوشتن دامنه بسیار بیشتری دارد، با این حال همین دامنه ناچیز جریان در زمان خواندن، می‌تواند محتوای یک سلول را بطور تصادفی تغییر دهد و سبب اغتشاش در خواندن گردد.

با فناوری مقیاس‌پذیری، جریان نوشتن در سلول مغناطیسی STT-MRAM، به سرعت کاهش می‌یابد در صورتی که جریان خواندن ثابت باقی می‌ماند تا حسگر جریان بتواند محتوای سلول را به درستی تشخیص دهد. لذا اختلاف بین جریان خواندن و نوشتن ناچیز می‌گردد و از آنجا که خواندن و نوشتن در سلول‌های STT-MRAM در یک مسیر انجام می‌گیرد، احتمال آنکه در زمان خواندن، عمل نوشتن صورت گیرد افزایش می‌یابد [۳۱].

شکست در نوشتن:

این خطا زمانی اتفاق می‌افتد که جهت مغناطیسی لایه آزاد در MTJ نمی‌تواند در فاصله‌ی که جریان نوشتن اعمال می‌شود، تغییر کند. سوئیچینگ سلول‌های MTJ بسیار نامتقارن است، به این ترتیب که حتی اگر دامنه جریان نوشتن یکسان باشد، زمان تغییر وضعیت از حالت P به حالت AP[۱۳] به میزان قابل توجهی بزرگتر از حالت AP به P است. علاوه بر این، فرآیند سوئیچینگ MTJها پدیده‌ای تصادفی است، به این معنی که تکرار سوئیچینگ MTJ در سلولی یکسان با جریان مشابه دارای بازه‌های زمانی متفاوتی است و سوئیچینگ MTJ بستگی به پارامترهای مختلفی دارد. در شکل ۶ حالات مختلف تغییر وضعیت از حالت P به حالت AP مشخص شده است [۲۲]. احتمال خطای خواندن و نوشتن در کل عملکرد حافظه و سیستم، تاثیرگذار است و برای کاهش اثرات آن، روش افزونگی، پیشنهاد می‌شود. افزونگی در جهت افزایش قابلیت اطمینان و کاهش اثرات عوامل ناخواسته، می‌تواند با استفاده از تکنیک‌های سخت‌افزاری، نرم‌افزاری، اطلاعاتی و زمانی قابل اجرا باشد. روش افزونگی سه تایی[۱۴] کاربرد بسیار گسترده در محافظت از خطاهای سخت و نرم دارد که توسط سه مرحله بلوک اصلی تکرار شده و مدار رای‌گیر[۱۵] پیاده‌سازی می‌شود. به این ترتیب که خروجی هر کدام از بلوک‌ها به مدار اکثریت گیر وارد شده و با مقایسه سه خروجی، اکثریت آنها انتخاب می‌شود. بنابراین خروجی تولید شده، صحت بالایی خواهد داشت ولی این روش منجر به هزینه زیادی در سطح و توان مصرفی شده و باتوجه به متراکم شدن مدارها، طراحی در راستای کاهش سطح و توان ضروری است.



شکل ۶ -حالات مختلف تغییر وضعیت از حالت P به حالت AP [۱۷].

روش دیگر، استفاده از افزونگی نرم‌افزاری است که در این روش یک یا چند الگوریتم مشابه، چند بار و به تعداد فرد در زمان‌های مختلف اجرا می‌شوند و در نهایت نتیجه دفعات مختلف، با یکدیگر مقایسه شده و اکثریت آنها یعنی نتیجه نهایی که صحت بالایی دارد، مشخص می‌گردد. این روش تاکنون در حافظه نهان و دیگر انواع این نوع حافظه بکارگرفته نشده است که در این پژوهش برای بهبود قابلیت اطمینان حافظه STT-MRAM در برد پردازشگر ماهواره مکعبی پیشهاد شده است.

انجام آنالیز بر روی چند نسخه از سورس کد و بررسی نتایج آن جزء دسته روش‌های با افزونگی نرم‌افزاری می‌باشد. در ادامه روش ایجاد افزونگی نرم‌افزاری در حافظه نهان از لحاظ قابلیت اطمینان و تحمل‌پذیری خطا به کمک مدل مارکوف بررسی شده است. ماژول‌های مورد استفاده در نرم‌افزار شبیه‌ساز GEM5، شبیه‌سازی می‌شود و سیگنال‌های آزمون نیز در این نرم‌افزار تولید می‌شود [۳۲].

---

[۱۳] Parallel to Anti Parallel

[۱۴] TMR – Triple Modular Redundancy

[۱۵] Voter

مدل مارکوف پیشنهادی در پیش بینی خطا:

مدل مارکوف، بیان یک فرایند تصادفی در سیستمی است که در هر مرحله، در حالت خاص و مشخصی قرار دارد و بصورت تصادفی، تغییر حالت می‌دهد. خاصیت مارکوف بیان می‌کند که توزیع احتمال شرطی برای سیستم در مرحله بعد، فقط به حالت فعلی سیستم بستگی دارد و چون سیستم بصورت تصادفی تغییر می‌کند، بطورکلی پیش بینی زنجیره مارکوف برای نقطه مشخصی در آینده غیر ممکن است ولی با اینحال ویژگی آماری سیستم در آینده قابل پیش بینی است [۳۳].

قابلیت اطمینان یک سیستم در زمان t به معنی احتمال صحیح کار کردن سیستم در زمان t+t0 است به شرطی که سیستم در زمان t_0 درست کار می‌کرده است. قابلیت اطمینان یک سیستم بستگی به نرخ خطا دارد و به یک ویژگی مهم در اجزا و سیستم‌های الکترونیکی تبدیل شده است. در طراحی سیستم‌های پردازشی، هر زیربخش باید با قابلیت اطمینان بالا، طراحی شود تا نرخ خطا در کل سیستم کاهش یابد.

یکی از روش‌هایی که برای شبیه‌سازی قابلیت اطمینان سیستم از روی مدل مارکوف، استفاده می‌گردد روش شبیه‌سازی مونت کارلو می‌باشد، این الگوریتم محاسباتی، از نمونه‌گیری تصادفی برای محاسبه نتایج استفاده می‌کند. به صورت کلی، شبیه‌سازی مونت کارلو از طریق نمونه‌سازی آماری، پاسخ‌های تقریبی برای مسائل کمّی فراهم می‌کند. در شبیه‌سازی مونت کارلو، کل سیستم به تعداد دفعات اجرا می‌شود. این امر منتج به ایجاد تعداد زیادی نتیجه مستقل می‌شود، که هر کدام نمایشگر یک نتیجه احتمالی برای سیستم بوده و یک مسیر احتمالی که سیستم احتمالا با گذشت زمان دنبال خواهد کرد را نشان می‌دهد [۲۵].

برای دستیابی به این مدل، از پارامترهای موردنظر بصورت زیر استفاده می‌شود. تابع توزیع سیستم از رابطه (۱) بدست می‌آید:

$$f(t)=P(X<t) \qquad (۱)$$

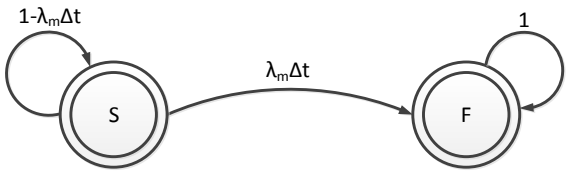
قابلیت اطمینان یک سیستم بستگی به رفتار نرخ خطا دارد و با رابطه (۲) توصیف می‌شود.

$$R(t) = 1 - f(t) = e^{-\lambda t} \qquad (۲)$$

که در رابطه (۱)، $\boldsymbol{\lambda}$ نرخ خطا است. احتمال آنکه سیستم بعد از زمانΔt +t دچار خطا شود $1 - e^{-\lambda t}$ است که برای زمان کم، این تقریب به $\boldsymbol{\lambda\Delta}$t تخمین زده می‌شود و از همین تقریب در مدل‌سازی استفاده می‌گردد.

مدلسازی خطا با مونت کارلو

دیاگرام مدل مارکوف، با درنظر گرفتن خطاهای نوشتن و خواندن حافظه، بصورت شکل ۷ ارائه شده است. همانطور که در این مدل دیده می‌شود، ابتدا سیستم در وضعیت سالم قرار دارد ولی با درنظر گرفتن احتمال هر یک از خطاهای نوشتن یا خواندن، سیستم بحالت خرابی می‌رود. در این شکل حالت S نماینده حالت سالم است و حالت F نماینده حالت خراب می‌باشد.



شکل ۷- دیاگرام مدل مارکوف

برای محاسبه نرخ خطای سیستم λ_m ، مراحل زیر انجام می‌شود:

۱- بازای هر ماژول نرم افزاری، تعداد دفعات خواندن و نوشتن در حافظه حین اجرای آن ماژول، با استفاده از نرم افزار GEM5 استخراج می‌گردد.

۲- میزان خطای یک سلول STT-MRAM را می‌توان با استفاده از پارامترهای فیزیکی آن تخمین زد، این احتمال براساس شکست در نوشتن و همچنین اغتشاش خواندن محاسبه می‌گردد. پارامترهای سلول STT-MRAM از چندین گزارش تکنیکی و صنعتی برگرفته شده است و در جدول ۱ مشخص شده است [۳۴].

در طی فرآیند خواندن در سلول STT-MRAM، محتوای سلول می‌تواند به خاطر عبور جریان از درون سلول، به طور تصادفی تغییر کند و محتوای آن را اشتباهاً تغییر داده و ایجاد اغتشاش در خواندن کند. احتمال سوئیچینگ سلول STT-MRAM در طی عملیات خواندن، به صورت رابطه (۳) محاسبه می‌شود [۲۷].

$$P_{READ-D} = 1 - exp\left(\frac{-t_{read}}{\tau} \times exp\left(\frac{\Delta\left(I_{read} - I_{C_0}\right)}{I_{C_0}}\right)\right) \qquad (۳)$$

کـه در رابطه (۳)، Δ فاکتور پایداری حرارتی یک سـلول STT-MRAM، τ ثـابـت زمـانی برابر بـا 1ns، I_{read} جریـان اعمال شـده در عملیات خواندن ، I_{C0} جریان آسـتانه مورد نیاز برای تغییر میدان مغناطیسی لایه آزاد، t_{read} طول دوره پالس و یـا مـدت زمان اعمال جریان خواندن اسـت. فاکتور پایداری حرارتی سلول، به صورت رابطه (۴) محاسبه می‌شود:

$$\Delta = \frac{E_b}{K \times T} \qquad (۴)$$

E_b انرژی مورد نیاز برای انجام تغییر در میدان مغناطیسی لایـه آزاد ، K ثـابـت بولتزمن و T درجـه دمای کلوین اسـت. احتمال شکست در نوشتن از رابطه (۵) محاسبه می‌شود:

$$P_{WRITE-F} = exp(-t_{write} \times \frac{2 \times \mu_ß \times p \times (I_{write} - I_{C_0})}{(c + ln\left(\pi^2 \times \frac{\Delta}{4}\right)) \times (e \times m \times (1 + p^2))}) \qquad ۵)$$

در رابطه (۵) I_{write} جریان نوشـتن، c ثابت اویلر، e بار الکترون، m شـتاب مغناطیسـی لایه‌ی آزاد، ρ میزان قطبش چرخشـی تونل، μ_B برابر ثابت مغناطیسـی بور، I_{write} جریان اعمالی برای عملیات نوشـتن و t_{write} مدت زمان اعمال پالس نوشتن و Δ فاکتور پایداری حرارت است.

۳- احتمال کلی بروز خطا، با استفاده از رابطه (۶) محاسبه می‌گردد، طبق این رابطه حاصـل‌ضرب تعداد دفعات درخواست خواندن از حافظه در احتمال خطای خواندن سـلول، برابر کل احتمال خطای خواندن اسـت، همچنین حاصـل‌ضـرب تعداد دفعات نوشـتن در حافظه در احتمال خطای یکبار نوشـتن در حافظه برابر کل خطای نوشتن است.

$$P = n \times PR + m \times PW \qquad (۶)$$

پارامتر m نشـاندهنده تعداد دفعات نوشـتن در حافظه و پارامتر n نشاندهنده تعداد دفعات خواندن از حافظه می‌باشد.

۴- بـا درنظر گرفتن زمـان اجرای مـاژول نرم‌افزاری روی پردازنـده، λ_m از طریق رابطـه (۷) محـاسـبـه می‌گردد. t_m نشـانـدهنـده زمان اجرای ماژول نرم افزاری روی پردازنده می‌باشد.

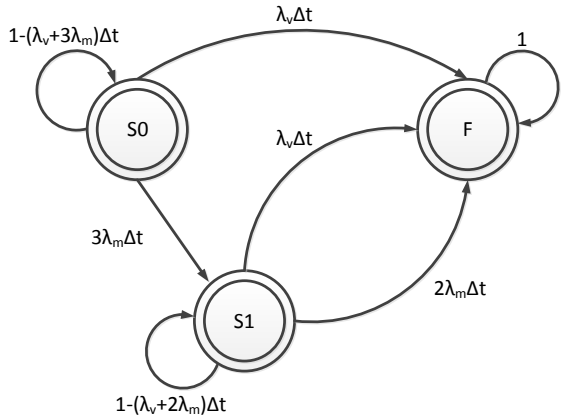
$$\lambda_m = \frac{P}{t_m} \qquad (۷)$$

λ_v نشـاندهنده نرخ خطای ماژول رای‌گیر می‌باشـدکه مشابه روش محاسبه λ_m محاسبه می‌گردد.

جدول ۱ - پارامترهای سلول STT-MRAM

پارامتر	مقدار
جریان نوشتن (I_{write})	**2 mA**
مدت زمان نوشتن(t_{write})	**10nS**
مدت زمان خواندن(t_{read})	**1nS**
جریان خواندن(I_{read})	**100µA**
ثابت اویلر(c)	**0.5772**
فاکتور پایداری حرارتی(delta)	**30**
جریان بحرانی(I_{C0})	**250µA**
مگنتون بور($\mu_ß$)	**9.274×10^{-24}J/T**
دوره تناوب(τ)	**1ns**
حرکت مغناطیسی(m)	**1.6×10^{-16}J/T**
بار الکترون(e)	**1.6021×10^{-19}C**
پلاریزاسیون قطبش چرخشی	**50%**

مدل مارکوف سـیستم پس از بکارگیری مکانیزم "افزونگی سـه تایی در نرم افزار"، در شـکل ۸ ارایه شـده است. در این شـکل حالت S0 نماینده حالت سـالم اسـت، حالت S1 نماینده حـالـت وجود یک خطای نرم‌افزاری اسـت و حالت F نماینده حالت خراب می باشد.



شکل ۸- مدل مارکوف سیستم پس از بکارگیری مکانیزم افزونگی

همانطور که در این مدل مشـاهده می‌شـود خرابی ماژول رای‌گیر نرم‌افزاری، منجر به خرابی سیستم می‌گردد و همچنین خرابی دو مـاژول از سـه ماژول نرم‌افزاری نیز، منجر به خرابی سیستم خواهد گردید.

نتایج شبیه سازی

برای شبیه‌سازی و بررسی نتایج حاصل از افزونگی، از نرم‌افزار GEM5 استفاده شده است. مشخصه‌های فیزیکی سلول‌های STT-MRAM که شامل مقادیر اسمی و نیز پیکربندی سطح مدار حافظه نهان برای دسترسی‌های خواندن/ نوشتن می‌باشند همگی در GEM5 و در زمان پیکربندی افزوده شده اند و شبیه‌ساز، برای شبیه‌سازی نوسازی شده است. بلوک‌های حافظه نهان شامل سلول‌های STT-MRAM است.

در زمان اجرا، بلوک‌های حافظه نهان و درخواست دسترسی مورد بررسی و نظارت قرار می‌گیرند و احتمال بروز خطا، بر مبنای فرمول‌های روابط ۶ و ۷ محاسبه می‌شوند. پیکربندی سیستم در شبیه‌ساز Gem5 شامل حافظه نهان L1 با ظرفیت KB۳۲ و ۴ way set associative برای دستورالعمل و داده و حافظه نهان L2 با ظرفیت kb۲۵۶ و ۸ -way و cashline-size ۶۴ می‌باشند.

هر دو حافظه نهان دارای 2 cycle read and write access time و ازنوع MRAM-STT می‌باشند و نوع cpu از نوع arm_detailed انتخاب شده است.

برای سنجش عملکرد سیستم حافظه نهان با STTMRAM از benchmark استاندارد SPECCPU2006 استفاده شده که دارای ۱۸ برنامه اصلی برای بررسی عملکرد سیستم در شرایط سخت و متنوع پردازش می‌باشد و نتایج حاصل از آن برای امتیاز بندی سیستم، دارای ارزش است [۳۵].

در منحنی‌های شکل ۹،۱۰ و۱۱ تفاوت اجرای بنچ مارک‌ها، در حالت با افزونگی و بدون افزونگی، برای هر الگوریتم مشخص شده است. همانطور که مشاهده می‌شود در تمامی بنچ مارک‌ها، استفاده از روش افزونگی با بهبود قابلیت اطمینان سیستم، همراه بوده است.

همانطور که در شکل ۹ مشاهده می‌شود، در بررسی نحوه پردازش دسته اول از بنچ مارک‌ها بر روی سیستم موردنظر، الگوریتم bzip2 بیشترین نرخ خطا را در حالت بدون افزونگی نسبت به بقیه الگوریتم‌ها داشته است، پردازش این الگوریتم، طبق جدول (۲) شامل بیشترین درخواست خواندن و نوشتن را در دسته اول الگوریتم های محاسباتی بوده است عملکرد سیستم بر روی منحنی در حالت بدون TMR نیز بیانگر نرخ بالای خطا، در اجرای این الگوریتم است، ولی با افزونگی، عملکرد سیستم بهبود یافته و قابلیت اطمینان سیستم به نحو بارزی افزایش یافته است.

همانطور که در شکل ۱۰ مشاهده می‌شود، در بررسی دسته دوم از بنچ مارک‌ها، الگوریتم Hmmer بیشترین نرخ خطا را در حالت بدون افزونگی نسبت به بقیه الگوریتم ها داشته است، رفتار سیستم بر روی منحنی در حالت بدون TMR نیز بیانگر این موضوع است، که پس از افزونگی، عملکرد سیستم بهبود یافته و قابلیت اطمینان سیستم به نحو بارزی افزایش یافته است.

همانطور که در شکل ۱۱ مشاهده می‌شود، در بررسی دسته سوم از بنچ مارک‌ها، الگوریتم lbm بیشترین نرخ خطا را در حالت بدون افزونگی نسبت به بقیه الگوریتم‌ها طبق جدول (۲) داشته است، رفتار سیستم بر روی منحنی در حالت بدون TMR نیز بیانگر این موضوع است، که پس از افزونگی، عملکرد سیستم بهبود یافته و قابلیت اطمینان سیستم به نحو بارزی افزایش یافته است.

جدول ۲- ماکزیمم نرخ خطای احتمالی در بنچ مارکهای مختلف

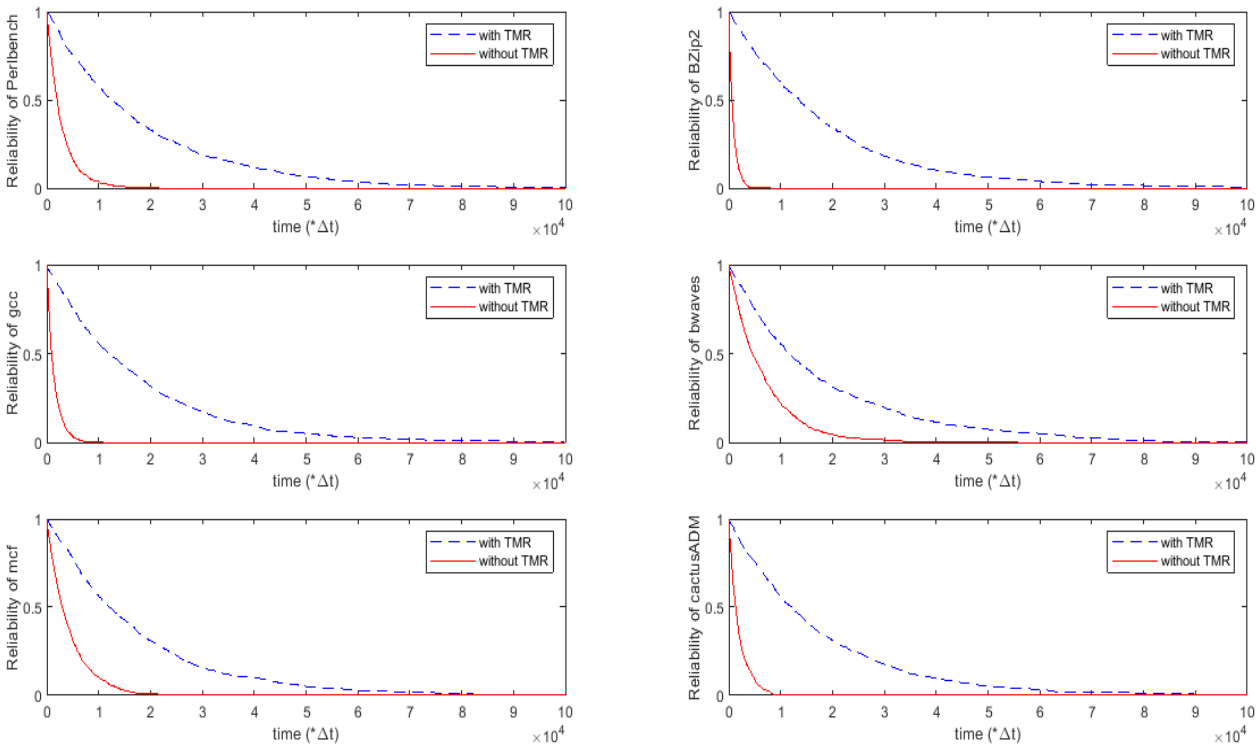
نام بردار تست	تعداد خواندن از حافظه	تعداد نوشتن در حافظه	ماکزیمم نرخ خطای احتمالی در حافظه(λm) (bit/s)
Perl bench	۶/۹×۱۰^۷	۲/۹ ×۱۰^۷	۱۶۶
Bzip2	۲/۰ ×۱۰^۹	۶/۳ ×۱۰^۸	۵۵۷
gcc	۲/۲ ×۱۰^۸	۵/۷ ×۱۰^۷	۳۳۷
bwaves	۲/۰ ×۱۰^۹	۲/۱ ×۱۰^۶	۷۴
mcf	۰,۳ ×۱۰^۹	۴/۳ ×۱۰^۶	۱۲۰
cactusADM	۷/۹ ×۱۰^۷	۳/۹ ×۱۰^۷	۲۷۴
namd	۴/۲ ×۱۰^۷	۱,۴ ×۱۰^۷	۲۸۱
Deal#	۱/۱ ×۱۰^۶	۴/۳ ×۱۰^۷	۳۰۱
soplex	۲/۲ ×۱۰^۸	۴/۶ ×۱۰^۷	۳۲۶
calculix	۱/۰ ×۱۰^۸	۷/۸ ×۱۰^۷	۵۴۲
Hmmer	۱/۵ ×۱۰^۸	۱/۴ ×۱۰^۸	۹۸۴
sjeng	۲/۵ ×۱۰^۷	۱/۷ ×۱۰^۷	۱۱۹
libquantum	۵/۲ ×۱۰^۸	۲/۳ ×۱۰^۸	۱۶۱۵
H264ref	۷/۴ ×۱۰^۸	۴/۵ ×۱۰^۸	۳۰۲۲
lbm	۱/۸ ×۱۰^۹	۱/۳ ×۱۰^۹	۹۱۵۴
omnetpp	۷/۴ ×۱۰^۸	۱/۲ ×۱۰^۸	۸۶۲
astar	۶/۲ ×۱۰^۸	۴/۳ ×۱۰^۸	۳۰۱۸
xalancbmk	۸/۵ ×۱۰^۸	۴/۳ ×۱۰^۷	۳۲۴

همانطور که در جدول ۲ مشاهده می‌شود تعداد خواندن از حافظه و نوشتن حافظه، در بنچ مارک‌های مختلف متفاوت است که مهمترین دلیل تفاوت‌ها، حجم کار متفاوت در انواع الگوریتم‌ها و متفاوت بودن بنچ مارک‌ها از لحاظ عملیات محاسباتی است.

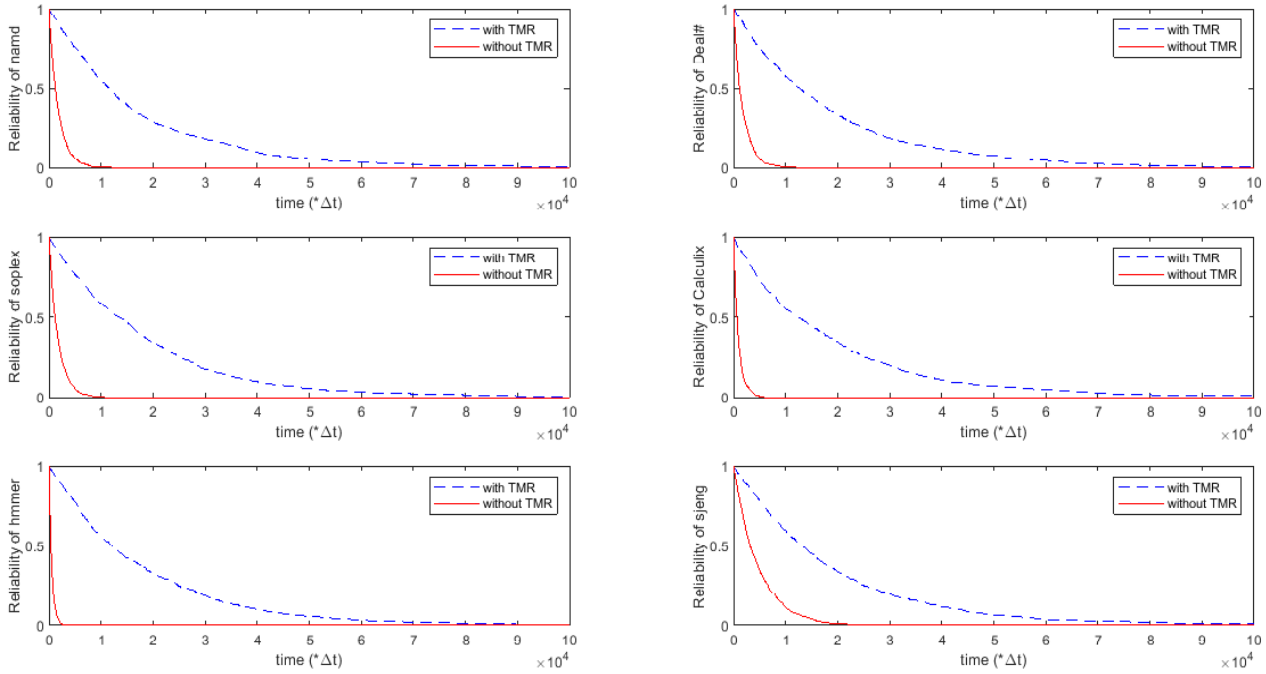
همانطور که مشاهده می‌شود با افزایش تعداد خواندن و نوشتن نرخ خطای احتمالی در بیت‌های حافظه نیز افزایش می‌یابد. بعبارت دیگر پیچیده شدن الگوریتم و افزایش حجم کار، تاثیر مستقیمی در ایجاد احتمال خطا در حافظه نهان پردازنده دارد. در شکل ۱۲ همانگونه که مشاهده می‌شود با گذشت زمان، قابلیت اطمینان سیستم با افزونگی نسبت به سیستم بدون افزونگی بهبود بیشتری دارد که این موضوع از نقاط قوت روش پیشنهادی، در افزایش قابلیت اطمینان سیستم در طول زمان است.

هدف از این مقاله ارایه راهکار افزایش قابلیت اطمینان حافظه STT-MRAM در سطح سیستم است، از نقطه نظر فیزیکی همانطور که از روابط ۱ و۳ مشخص است و در تحقیقات گذشته نیز به آن پرداخته شده، تغییر در Δ تاثیر معکوس بر روی خطاهای خواندن و نوشتن، نسبت بهم دارد [۲۸]. افزایش I_{Write} و t_{Write} نیز مصرف انرژی را به طور چشمگیری افزایش داده و پردازش‌ها را دچار تاخیر می‌کند. کاهش Iread و tread احتمال خطای حسگر را افزایش می‌دهد.

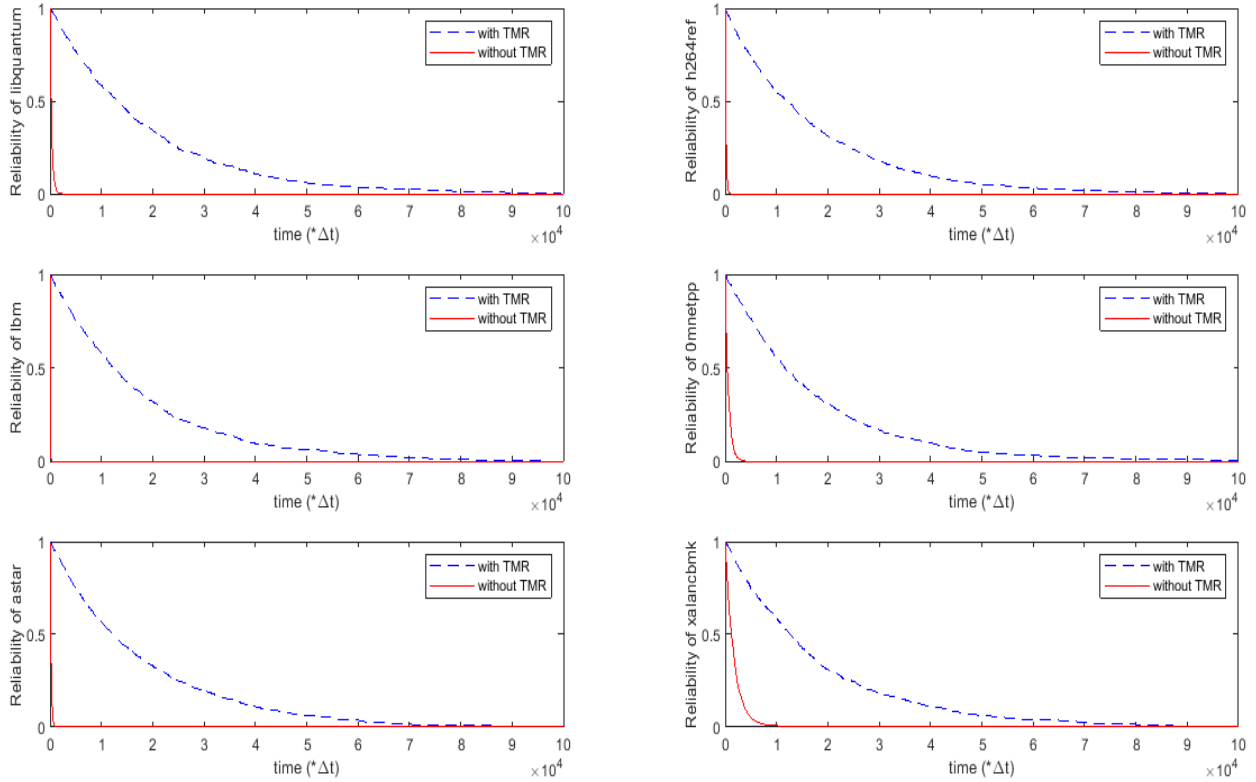
بنابراین بعضی از این تکنیک‌ها با هم تناقض دارند و نمی‌توان آن‌ها را همزمان با هم بکار گرفت. با استفاده از روش افزونگی نرم افزاری موردنظر در این مقاله، که در سطح سیستم ارایه شده است، می‌توان به قابلیت اطمینان سیستم، بطور کامل دسترسی پیدا کرد، همچنین در روش پیشنهادی، علاوه بر آنکه روش پیشنهادی پارامترهای دیگر سیستم را دستخوش تغییر نمی‌کند بلکه گذشت زمان، قابلیت اطمینان سیستم بهبودیافته را نیز دچار اختلال نمی‌کند.



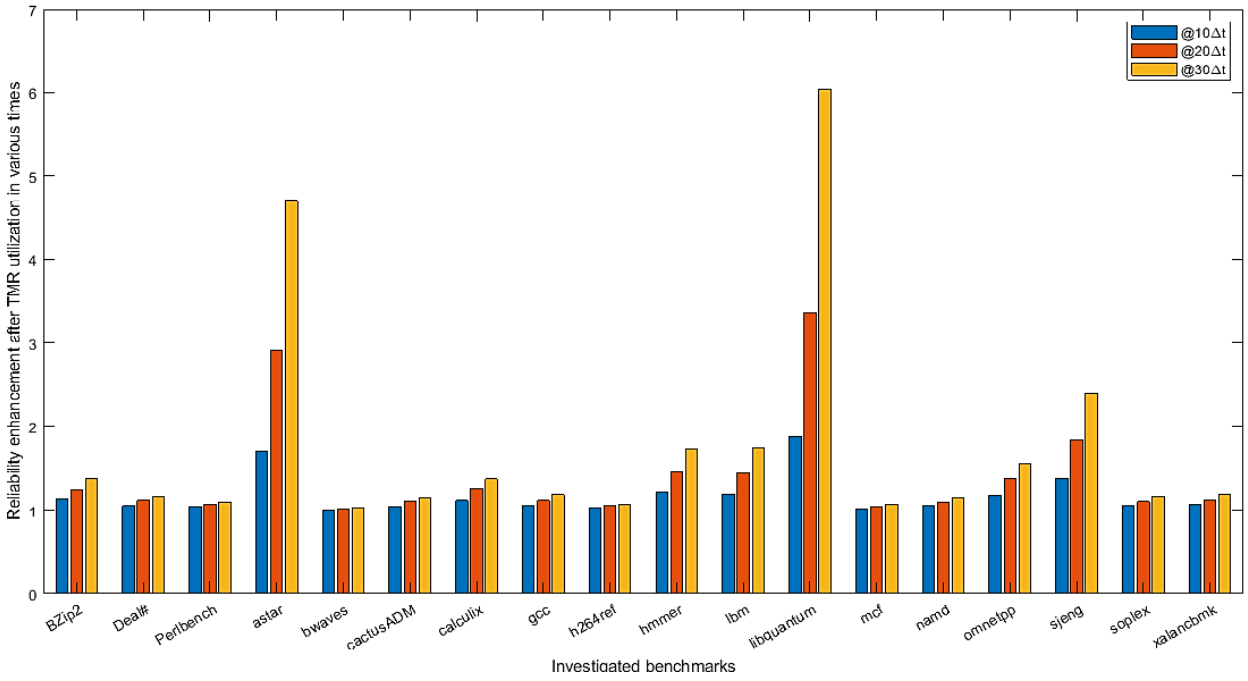
شکل ۹- ارزیابی روش پیشنهادی با دسته اول از بردارهای تست



شکل ۱۰- ارزیابی روش پیشنهادی با دسته دوم از بردارهای تست



شکل ۱۱- ارزیابی روش پیشنهادی با دسته سوم از بردارهای تست



شکل ۱۲- بهبود قابلیت اطمینان سیستم با افزونگی نسبت به سیستم بدون افزونگی

نتیجه‌گیری

در این مقاله به معرفی حافظه STT-MRAM بعنوان حافظه نهان در برد پردازشگر ماهواره های مکعبی پرداخته شده است. این نوع حافظه، از همه جهت، دارای مزیت‌های عمده‌ای نسبت به حافظه SRAM است، ولی مشکل اصلی آن در احتمال بروز خطا بخصوص در کاربردهای فضایی است که با افزایش قابلیت اطمینان در این نوع حافظه، این مشکل قابل رفع است. بررسی اولیه سنجش صحت عملکرد حافظه‌های نهان STT-MRAM در زمان طراحی، نه تنها برای تصدیق و تأیید کاربردی بودن تکنولوژی STT-MRAM به عنوان جایگزینی مطمئن برای تکنولوژی SRAM ضروری و الزامی است، بلکه برای طراحی حافظه‌های نهان مقاوم در برابر خطا و مقرون به صرفه از لحاظ هزینه هم ضروری است. راهکار ارایه شده در این مقاله برای بهبود قابلیت اطمینان سیستم، برمبنای افزونگی نرم افزاری است که تاکنون در حافظه نهان و دیگر انواع این نوع حافظه بکارگرفته نشده است. نتایج حاصل از شبیه‌سازی با نرم‌افزار GEM5 بیانگر بهبود عملکرد حافظه نهان در انواع تست‌های SPEC CPU 2006 براساس این راهکار می‌باشد. تحقیقات تجربی و تحلیلی ارائه شده می‌تواند به طور عمده‌ای به طراحان سیستم کمک کند تا از تکنیک‌های کاهش خطا به طور موثرتری استفاده کرده وحافظه STT-MRAM با قیمت مناسب و بسیار ایمن در کاربردهای فضایی، طراحی کنند.

منابع و مراجع

[1]. J.R. Pierce and R. Kompfner, "*Satellite communications*", Proc. of the IEEE, vol. 85 (6) 1997
[2]. Hsu A, Khoo W, Goyal N and Wainstein M, "*Next-Generation Digital Ecosystem for Climate Data Mining and Knowledge Discovery: A Review of Digital Data Collection Technologies"*, Frontiers in big Data, vol.3, 2020
[3]. Planet Company, 2020. [Online]. Available: https://www.planet.com. Accessed: July. 02, 2020
[4]. F.Davoli, et al., "*Small satellites and CubeSats: Survey of structures, architectures, and protocols*", Int J Satell Commun Network. vol. 37, pp. 343–359, 2018
[5]. Lätt, Silver, et al. "*ESTCube-1 nanosatellite for electric solar wind sail in-orbit technology demonstration."* Proceedings of the Estonian Academy of Sciences, vol. 63, pp. 200-209, 2014

[6]. H.Heidt, et al., "*CubeSat: A new Generation of Picosatellite for Education and Industry Low-Cost Space Experimentation*", 14th Annual/USU Conf. on Small Satellites, 2000

[7]. T.Peng, et al., "*A Component-Based Middleware for a Reliable Distributed and reconfigurable Spacecraft Onboard Computer*", 2016 IEEE 35th Symposium on Reliable Distributed Systems, pp. 337-342, 2016

[8]. M.Mahdavi, et al., "*Space radiation effects on future quantum satellites*", Elsevier Aerospace Science and Technology, vol. 26, pp. 72–75, 2013

[9]. G. Kahe, "*Triple-Triple Redundant Reliable Onboard Computer Based on Multicore Microcontrollers*", International Journal of Reliability, Risk and Safety: Theory and application, vol. 1, pp. 17-23, 2018

[10]. I.Fajardo et al., "*Design, Implementation, and Operation of a Small Satellite Mission to Explore the Space Weather Effects in Leo*", Aerospace Journal, vol. 6, pp. 1-38, 2019

[11]. M. Hadizadeh, E. Cheshmikhani and H. *Asadi, "STAIR: High Reliable STT-MRAM Aware Multi-Level I/O Cache Architecture by Adaptive ECC Allocation, "* 2020 Design, Automation & Test in Europe *Conference & Exhibition (DATE)*, p. 1484-1489, 2020

[12]. Faraz, T. , "*Expanding the toolbox of atomic scale processing. Technische Universiteit Eindhoven*", 2019

[13]. Chen YH, Lu CW, Shyu SS, Lee CL, Ou TC. "*A multi-stage fault-tolerant multiplier with triple module redundancy (TMR) technique*". Journal of Circuits, Systems, and Computers, vol. 23, 2014

[14]. Petrović, V., Günter Schoof, and Z. Stamenković. *"Fault-tolerant TMR and DMR circuits with latchup protection switches."* Microelectronics Reliability, vol. 54, pp. 1613-1626, 2014

[15]. Z. Azad, H. Farbeh, A. M. H. Monazzah, and S. G. Miremadi, An "*efficient protection technique for last level STT-RAM caches in multi-core proces-sors*", IEEE Trans. Paralllel Distrib. Syst. vol. 28, pp. 1564–1577, 2017

[16]. E.Cheshmikhani, et al., "*A System-Level Framework for Analytical and Empirical Reliability Exploration of STT-MRAM Caches*", IEEE TRANSACTIONS ON RELIABILITY, vol. 69, pp. 594 – 610, 2020

[17]. B.Wu et al., *"Temperature Impact Analysis and Access Reliability Enhancement for 1T1MTJ STT-RAM*", IEEE Transactions on Reliability, vol. 65 pp. 1755 – 1768, 2016

[18]. STT-MRAM: Introduction and market status, 2020. [Online]. Available: www.mram-info.com. Accessed: July. 02, 2020

[19]. M.Wang, et al., "*Tunnel Junction with Perpendicular Magnetic Anisotropy: Status and Challenges*", Micro machines Journal, vol. 6, pp. 1023 – 1045, 2015

[20]. W. Kang, et al., "*Yield and reliability improvement techniques for emerging nonvolatile STT-MRAM.* " IEEE Journal on Emerging and Selected Topics in Circuits and Systems, vol. 5, pp. 28-39, 2015

[21]. X.Bi, et al., "*Cross-Layer Optimization for Multilevel Cell STT-RAM Caches.* " IEEE Trans. on Very Large Scale Integration (VLSI) Systems, vol. 25, pp. 1807-1820, 2017

[22]. A.Chintaluri, et al., "*Analysis of defects and variations in embedded spin transfer torque STT-MRAM arrays*." IEEE Journal on Emerging and Selected Topics in Circuits and Systems, vol. 6, pp. 319-329, 2016

[23]. X.Chen, et al., *"Energy-Aware Adaptive Restore Schemes for MLC STT-RAM Cache."* IEEE Transactions on Computers, vol. 66, pp. 786-798, 2017

[24]. K.Cai, and K.A.S. Immink, "*Cascaded Channel Model, Analysis, and Hybrid Decoding for Spin-Torque Transfer Magnetic Random Access Memory*". IEEE Transactions on Magnetics, vol. 53, pp. 1-11, 2017

[25]. Y.Emre, et al. "*Enhancing the reliability of STT-RAM through circuit and system level techniques*", In Signal Processing Systems (SiPS), 2012 IEEE Workshop (2012).

[26]. S.Di Carlo, et al. "*Reliability estimation at block-level granularity of*

spin-transfer-torque MRAMs". in Defect and Fault Tolerance in VLSI and Nanotechnology Systems (DFT), 2014 IEEE International Symposium, (2014).

[27]. N.Sayed, et al. "*Opportunistic write for fast and reliable STT-MRAM*". in Proceedings of the Conference on Design, Automation & Test in Europe. (2017).

[28]. H. Farkhaniet et al., "*STT-RAM energy reduction using self-referenced differential write termination technique*". IEEE Transactions on Very Large Scale Integration (VLSI) Systems, vol. 25, pp. 476-487, 2017

[29]. Z. Azad, H. Farbeh, A. M. H. Monazzah, and S. G. Miremadi, "*AWARE: Adaptive way allocation for reconfigurable ECCs to protect write errors in STT-RAM caches*", IEEE Trans. Emerg. Topics Comput. ,vol. 7 , pp. 481 – 492, 2019

[30]. H. Farbeh, H. Kim, S. G. Miremadi, and S. Kim, "*Floating-ECC: Dynamic repositioning of error correcting code bits for extending the lifetime of STT-RAM caches*", IEEE Trans. Computer, vol. 65, pp. 3661–3675, 2016

[31]. E.Cheshmikhani, et al., "*Enhancing Reliability of STT-MRAM Caches by Eliminating Read Disturbance Accumulation*", Design, Automation and Test in Europe (DATE 2019), pp. 854-859 2019

[32]. N. Binkert et al., "*The gem5 simulator*", ACM SIGARCH Comput. Archit. News, vol. 39, pp. 1–7, 2011

[33]. L. Rabiner et al., "*An introduction to hidden Markov models*", IEEE ASSP Magazine, vol. 3 pp. 4-16, 1986

[34]. E.Cheshmikhani, et al., "*Investigating the Effects of Process Variations and System Workloads on Reliability of STT-RAM Caches*", 2016 12th European Dependable Computing Conference, pp. 120-129, 2016

[35]. J. L. Henning, "*SPEC CPU2006 benchmark descriptions*", ACM SIGARCH Comput. Archit. News, vol. 34 pp. 1-17, 2006